

Docket No.: S&ZIO030701

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: August 5, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Oliver Kiehl
Appl. No. : 10/620,092
Filed : July 15, 2003
Title : Circuit Element with Timing Control

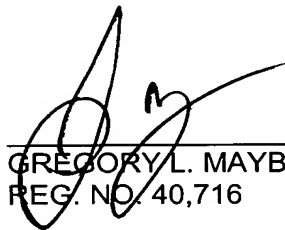
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 31 954.5 filed July 15, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: August 5, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 31 954.5

Anmeldetag: 15. Juli 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Schaltungsbaustein mit Zeitsteuerung

IPC: G 06 F, G 11 C

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 16. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to be 'H. H. H.', written over the printed text 'Der Präsident Im Auftrag'.

Agutks

Patentanwälte · Postfach 710867 · 81458 München
Infineon Technologies AG
St.-Martin-Str. 53

81669 München

PATENTANWÄLTE

European Patent Attorneys
European Trademark Attorneys

Fritz Schoppe, Dipl.-Ing.
Tankred Zimmermann, Dipl.-Ing.
Ferdinand Stöckeler, Dipl.-Ing.
Franz Zinkler, Dipl.-Ing.

Telefon/Telephone 089/790445-0
Telefax/Facsimile 089/790 22 15
Telefax/Facsimile 089/74996977
e-mail: szsz_iplaw@t-online.de

Schaltungsbaustein mit Zeitsteuerung

Beschreibung

Schaltungsbaustein mit Zeitsteuerung

5 Die vorliegende Erfindung bezieht sich auf einen Schaltungs-
baustein mit Zeitsteuerung, und insbesondere einen solchen
Schaltungsbaustein, der einen externen Takt mit einer Takt-
frequenz und einer zugeordneten Taktperiodendauer empfängt.
Insbesondere ist die vorliegende Erfindung vorteilhaft auf
10 dem Gebiet von Speicherbausteinen, beispielsweise DRAM-
Bausteinen (DRAM = Dynamic Random Access Memory), verwendbar.

Heutige DRAM-Speicherbausteine enthalten mehrere Chip-interne
Zeitgeber (Timer), d.h. On-Chip-Zeitgeber, die unterschiedli-
15 che auf dem DRAM-Baustein ablaufende Prozesse steuern. Jeder
dieser Zeitgeber ist mit Ungenauigkeiten, Chipflächen-
verbrauch und eine Standby-Leistung behaftet. Da heutige
DRAM-Speicherbausteine spezifiziert sind, um in einem großen
Frequenzbereich zu arbeiten, beispielsweise von 83 MHz bis
20 167 MHz, kann der dem Speicherbaustein von außen zugeführte
Takt nicht als eine Zeitbasis für die Steuerung interner Ab-
läufe verwendet werden. Insbesondere kann dabei der externe
Takt nicht zur Ermittlung bestimmter Zeitperioden verwendet
werden, die auf dem DRAM-Baustein selbst gesteuert werden
25 müssen, beispielsweise der Zeit t_{RAS} , die die Zeit darstellt,
die zwischen dem Zeitpunkt einer Aktivierung einer Zeile
(Wortleitung) und dem Zeitpunkt, zu dem diese Zeile vorgela-
den (Precharged) (geschlossen) werden darf, darstellt. Ein
anderes Beispiel ist die Zeit zwischen dem Zeitpunkt, zu dem
30 Daten geschrieben werden, auf eine offene Zeile, und dem
Zeitpunkt, zu dem diese Zeile geschlossen werden soll, wobei
diese Zeit als t_{WR} bezeichnet wird.

Herkömmliche DRAM-Bausteine enthalten in der Regel Chip-
35 interne analoge Zeitgeberschaltungen, um die notwendigen Ver-
zögerungen, beispielsweise t_{RAS} oder t_{WR} , zu erzeugen. Wie
oben ausgeführt wurde, dürfen diese Zeitgeber den von extern

bereitgestellten Takt nicht als Zeitbasis verwenden, da die DRAM-Bausteine bei unterschiedlichen Taktfrequenzen verwendbar sein sollen.

- 5 Alternative Lösungsansätze haben sich als unzweckmäßig erwiesen. Solche umfassen beispielsweise die Hinzufügung einer Bitleitungs-Überwachungseinrichtung, um die Zurücksetzspannungen zu überwachen und benötigen zu viel Chipfläche. Das Hinzufügen einer Dummy-Bitleitung als Referenz wiederum liefert einen hohen Leistungsverbrauch. Ferner ist die Erzeugung einer Verzögerung, die exakt eine notwendige Spezifikation erfüllt, zu schwierig zu implementieren.
- 10

- Vorgeschlagen sind auch Register, die es der Speichersteuerung erlauben, exakt die Anzahl von Taktzyklen anzugeben, die bei der momentanen Betriebsfrequenz beispielsweise tRAS oder tWR genügen. Dieser Ansatz benötigt pro Timer ein Register und ist damit unbrauchbar, um alle Timer zu steuern. Auch müssen bei diesem Ansatz alle Timer extern spezifiziert werden, was nicht möglich ist, da nicht alle Speicherbausteine, die z.B. einem Standard genügen, notwendigerweise die gleiche Timerstruktur verwenden.
- 15
- 20

Daher verwenden heutige DRAM-Speicherbausteine bzw. Speicherchips unabhängige analoge Verzögerungsglieder, um die obigen Verzögerungszeiten, beispielsweise tRAS und tWR, zu realisieren.

- Die Aufgabe der vorliegenden Erfindung besteht darin, eine Vorrichtung zur zeitlichen Steuerung zumindest eines Signals in einem Schaltungsbaustein zu schaffen, die einen Kompromiß zwischen Leistungsverbrauch und Genauigkeit ermöglicht.
- 30

- Diese Aufgabe wird durch einen Schaltungsbaustein nach Anspruch 1 gelöst.
- 35

Die vorliegende Erfindung schafft einen Schaltungsbaustein mit folgenden Merkmalen:

5 einem Eingang zum Empfangen eines externen Takts mit einer Taktperiodendauer;

einer Einrichtung, um dem Schaltungsbaustein Informationen, die die Taktperiodendauer des externen Takts darstellen, bereitzustellen; und

10

einer Einrichtung zum zeitlichen Steuern zumindest eines Signals in dem Schaltungsbaustein basierend auf den die Taktperiodendauer darstellenden Informationen.

15 Die vorliegende Erfindung nutzt die Kenntnis der Taktperiode bzw. der Frequenz eines an einen Schaltungsbaustein von extern angelegten Taktsignals, um zumindest ein Signal in dem Schaltungsbaustein basierend darauf exakt zu steuern. Zu diesem Zweck werden die Taktperiodendauer eines externen Taktsignals anzeigende Daten vorzugsweise in einem Speicher auf dem Schaltungsbaustein, vorzugsweise einem Register, abgelegt. Ferner sind auf dem Schaltungsbaustein vorzugsweise Sollzeitinformationen gespeichert bzw. fest programmiert, die beispielsweise die Spezifikation einer vorbestimmten Verzögerung darstellen. Ein Zeitglied verwendet nun die gespeicherten Taktfrequenzinformationen und die Sollzeitinformationen, um zu ermitteln, um wie viele Taktzyklen bzw. Bruchteile von Taktzyklen des externen Taktsignals das zu steuernde Signal zu verzögern ist, um eine durch die Sollzeitinformationen vorgegebene Spezifikation einzuhalten, und um die Verzögerung eines Verzögerungsglieds entsprechend der ermittelten Taktzyklen bzw. Bruchteile von Taktzyklen einzustellen.

20

30

35 Basierend auf den erfindungsgemäß dem Schaltungsbaustein zur Verfügung stehenden Taktfrequenzinformationen, dem extern zugeführten Taktsignal und optional auf dem Schaltungsbaustein zur Verfügung stehenden Sollzeitinformationen können erfin-

5 dungsgemäß sämtliche auf dem Schaltungsbaustein verwendeten
Signale zeitlich gesteuert werden. Diese Steuerung kann neben
der oben genannten Spezifizierung von Verzögerungszeiten das
Steuern jeweiliger Auftrittszeitpunkte von Steuersignalen
allgemein, die Dauer derselben und dergleichen umfassen.

Bei bevorzugten Ausführungsbeispielen stellt der erfindungs-
gemäße Schaltungsbaustein einen Speicherbaustein, beispiels-
weise einen DRAM-Baustein, dar. Bei bevorzugten Ausführungs-
10 beispielen enthält der DRAM-Baustein ein Register, in das ein
Wert geschrieben wird, der die Taktfrequenz und somit die
Taktperiode eines externen Taktsignals, das dem Speicherbau-
stein zugeführt wird, darstellt. Dieser Wert kann unter Ver-
wendung einer Chip-externen oder einer Chip-internen Steue-
15 rung in das Register geschrieben werden. Nach dem Ablegen des
Werts kann der Speicherbaustein die jeweils notwendige Anzahl
von Taktzyklen, um Zeitpunkte, Zeitdauern oder Verzögerungs-
zeiten, die für interne Operationen erforderlich sind und
Spezifikationen erfüllen, zu erhalten, berechnen. Ferner kann
20 die Kenntnis der Taktfrequenz und somit der Taktperiode ver-
wendet werden, um eine Verzögerungskomponente des Speicher-
bausteins, beispielsweise des DRAM-Bausteins zu kalibrieren.
Um durch ein Runden bedingte Ungenauigkeiten zu verringern,
kann der Speicherbaustein eine Verzögerungsregelschleife oder
eine Phasenregelschleife verwenden, um die Taktperiode in
30 kleinere Zeitabschnitte zu unterteilen.

Weiterbildungen der vorliegenden Erfindung sind in den abhän-
gigen Ansprüchen dargelegt.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindungen
werden nachfolgend Bezug nehmend auf die beiliegenden Zeich-
nungen näher erläutert. Es zeigen:

35 Fig. 1 eine schematische Darstellung eines Ausführungsbei-
spiels eines erfindungsgemäßen Schaltungsbau-
steins;

Fig. 2 eine Tabelle zur Veranschaulichung der vorliegenden Erfindung;

5 Fig. 3 eine schematische Darstellung einer erfindungsgemäß verwendbaren Phasenregelschleife; und

Fig. 4 eine schematische Darstellung einer erfindungsgemäß verwendbaren Verzögerungsregelschleife.

10

In Fig. 1 ist ein Speicherbaustein 10, beispielsweise ein DRAM-Baustein, gezeigt. Noch spezieller kann es sich bei dem Speicherbaustein 10 um einen DDR-SDRAM-Baustein (DDR SDRAM =
15 Double Data Rate Synchronous Dynamic Random Access Memory) handeln.

Der Speicherbaustein 10 empfängt ein Taktsignal 12 von einem Taktgenerator 14. Das Taktsignal stellt ein externes Taktsig-
20 nal dar und besitzt eine bestimmte Taktfrequenz. Typische Taktfrequenzen liegen in einem Bereich zwischen 83 MHz und 167 MHz. Der Taktgenerator 14 liefert das Taktsignal 12 ferner zu einer externen Steuerung 16. Die Steuerung 16 ist über einen Signalbus 18, der üblicherweise als CMD-Bus bezeichnet
25 wird, mit dem Speicherbaustein 10 verbunden. Der Speicherbaustein 10 kann ein Speichermodul mit einer Mehrzahl von Speicherchips auf demselben oder ein einzelner Speicherchip sein.

Die Steuerung 16 kommuniziert über den Signalbus 18 mit dem
30 Speicherbaustein 10, um Steuersignale und Datensignale zu dem Speicherbaustein 10 zu übermitteln und von demselben zu empfangen.

Der bisher oben beschriebene Aufbau von Speicherbaustein 10, Taktgenerator 14 und Steuerung 16 entspricht insofern einem
35 herkömmlichen Aufbau.

Der erfindungsgemäße Speicherbaustein unterscheidet sich jedoch von herkömmlichen Speicherbausteinen hinsichtlich einer Zeitsteuerung 20 zum zeitlichen Steuern von in dem Speicherbaustein auftretenden Signalen, bei dem gezeigten Beispiel
5 zum Verzögern eines Aktivierungssignals ACT, um daraus das interne Vorladungssignal PRE zu erzeugen. Das Aktivierungssignal ACT wird dem Speicherbaustein 10 von extern, in der Regel von der Speichersteuerung 16 über den CMD-Bus 18 zugeführt.

10

Die Zeitsteuerung 20 umfasst einen Speicherbereich bzw. ein Register 22, in dem die Periodendauer t_{CK} des externen Takts 12 abgelegt ist. Ferner ist ein Speicherbereich 24 vorgesehen, in dem eine Sollverzögerungszeit t_{RAS} abgelegt ist, um
15 die das Aktivierungssignal ACT verzögert werden muß, bevor dasselbe als Vorladungssignal PRE ausgegeben bzw. durchgelassen werden darf, um der Spezifikation des Speicherbausteins 10 zu genügen.

20

Die Zeitsteuerung 20 umfasst ferner ein Zeitglied 26, das die abgelegte Periodendauer t_{CK} und die Sollverzögerungszeit kombiniert, um zu ermitteln, um wie viele Taktzyklen bzw. Bruchteile von Taktzyklen des externen Taktsignals 12 das Aktivierungssignal ACT zu verzögern ist, um eine Verzögerungszeit zu
25 erhalten, die zumindest t_{RAS} entspricht. Zu diesem Zweck enthält das Zeitglied im einfachsten Fall eine entsprechende Kombinationsschaltung, die die Periodendauer t_{CK} und die Sollverzögerungszeit t_{RAS} kombiniert, um zu ermitteln, wie viele Taktzyklen des externen Taktsignals erforderlich sind, um die
30 Sollverzögerungszeit zu realisieren, und ein Verzögerungsglied bzw. einen digitalen Timer, der von der Kombinationschaltung gesteuert wird, um das Aktivierungssignal um die entsprechende Anzahl von Taktzyklen des externen Taktsignals, das dem Verzögerungsglied zugeführt wird, zu verzögern und
35 nach dieser Verzögerung als Vorladungssignal PRE auszugeben bzw. durchzulassen.

Daten, die die Periodendauer des externen Taktsignals 12 darstellen, werden vor dem Durchführen eigentlicher Speicheroperationen dem Speicherbaustein 10 durch die Speichersteuerung mitgeteilt und in dem Taktperiodendauerregister 22 abgelegt.

5 Ein Beispiel, wie diese Daten aufgebaut sein können, wird nachfolgend beziehnend auf Fig. 2 näher erläutert.

Im Betrieb kennt somit der Speicherbaustein 10 die Taktperiode des extern angelegten Taktsignals 12 aus den im Register
10 22 gespeicherten Daten, so dass das Zeitglied 26 mit einfacher kombinatorischer Logik realisiert werden kann. Aus den im Periodendauerregister 22 abgelegten Daten und den Zeitin-
formationen aus der Speichereinrichtung 26 für tRAS bekannten
15 Zeitinformationen wird die Anzahl von für tRAS notwendigen Taktperioden ermittelt, um ein Verzögerungsglied zu steuern, um diese ermittelte Anzahl von Taktperioden zu warten, bevor das Aktivierungssignal ACT als das Vorladungssignal PRE durchgelassen wird. Somit steuert das Zeitglied 26 die Ausgabe des Signals PRE basierend auf den die Taktperiode darstel-
20 lenden, im Periodendauerregister 22 gespeicherten Informationen.

Hinsichtlich der Ermittlung der Ableitung der Anzahl von Taktperioden für tRAS sei auf die in Fig. 2 gezeigte Tabelle
25 verwiesen. Die erste Spalte der Tabelle stellt die Taktfrequenz fCK des Taktsignals 12 dar, wobei $fCK = 1/tCK$, während die zweite Spalte der Tabelle einen Multiplikationsfaktor, durch den sich die in der jeweiligen Zeile angegebene Taktfrequenz fCK aus der Taktfrequenz von 118,00 MHz ergibt, dar-
30 stellt.

In der dritten Spalte der Tabelle sind die in dem Taktperiodendauerregister 20 abgelegten Daten MRS aufgeführt, wobei im vorliegenden Falle ein Fünf-Bit-Register verwendet ist, so
35 daß MRS zweiunddreißig unterschiedliche Werte anzeigen kann. Ein Wert von 0 (in der Tabelle nicht gezeigt) steht beispielsweise dafür, daß keine gültige Taktfrequenzangabe bzw.

Taktperiodendauerangabe von der Steuerung erhalten wurde. Ein Wert von 1 steht für eine externe Taktfrequenz f_{CK} zwischen 118 MHz und 123,90 MHz, während ein Wert von 20 für eine externe Taktfrequenz f_{CK} zwischen 298,18 MHz und 313,09 MHz

5 steht. Somit ist der Frequenzbereich von 118 MHz bis 509,99 MHz in einunddreißig Bereiche quantisiert, wobei die Größe der Bereiche mit zunehmender Frequenz zunimmt.

10 In der vierten Spalte der in Fig. 2 gezeigten Tabelle ist jeweils die zugeordnete Periodendauer t_{CK} in ns dargestellt. In der darauffolgenden fünften Spalte ist aufgeführt, wie viele Taktperioden notwendig sind, um eine Verzögerungsdauer t_{RAS} von 34 ns zu realisieren. Die darauffolgenden beiden Spalten geben in dem betrachteten Bereich die minimale bzw. maximale
15 tatsächliche Zeit für t_{RAS} aufgrund der verwendeten Anzahl von Periodendauern an. Beispielsweise ergibt sich in dem Bereich von 118,00 MHz bis 123,90 MHz eine minimale tatsächliche Zeit für t_{RAS} von 40,4 ns und eine maximale tatsächliche Zeit von 42,4 ns. In der darauffolgenden achten Spalte ist
20 jeweils der maximale Fehler in ns angegeben, der sich aus der Differenz von tatsächlicher maximaler Zeit t_{RAS} zum minimalen idealen Wert, im vorliegenden Fall 34 ns, ergibt.

5 In der Spalte FBsp sind Beispiele von bei tatsächlichen Speicherimplementierungen verwendeten Frequenzen aufgeführt, wobei die nachfolgende Spalte mit der Überschrift Bezeichn. die hierfür verwendeten geläufigen Bezeichnungen angibt. Ferner sind in den letzten beiden Spalten der Tabelle zum einen die Periodendauern TBsp und die erfindungsgemäß erhaltene nominelle Zeit t_{RAS} für die sechs Beispiele angegeben.
30

Die Genauigkeit des erfindungsgemäß abgeleiteten tatsächlichen Werts von t_{RAS} hängt zum einen von der Anzahl von Bits des Taktperiodendauerregisters und zum anderen von der Größe
35 der Taktperiode selbst ab. Je größer die Anzahl von Bits des Taktperiodendauerregisters ist, desto kleiner können die jeweiligen Frequenzbereiche sein, denen jeweils ein Eintrag in

dem Register zugeordnet ist, so daß entsprechend der Fehler des tatsächlichen Werts von tRAS gegenüber dem minimalen optimalen Wert desselben abnimmt. Mit zunehmender Größe der Taktperiode steigt die Genauigkeit des erfindungsgemäß verwendeten Verfahrens, da dadurch der Rundungsfehler abnimmt, wie deutlich den in der achten Spalte der Tabelle in Fig. 2 aufgeführten Fehlerwerten zu entnehmen ist.

Der jeweilige tatsächliche Wert von tRAS hängt von der Charakteristik des Speicherbausteins ab. Die in Fig. 2 dargestellten tatsächlich realisierten Werte von tRAS werden für den Fall erhalten, daß nur ganze Taktperioden verwendet sind.

Die Genauigkeit kann erhöht werden, indem dem Taktperiodendauerregister 22 zusätzliche Bits hinzugefügt werden.

Alternativ kann die Genauigkeit erhöht werden, indem das Zeitglied 26, das erfindungsgemäß vorzugsweise digital implementiert ist, mit einer Zeitunterteilungseinrichtung ausgestattet wird.

Beispielsweise kann eine Zeitunterteilung durch eine Phasenschleife (PLL) erreicht werden, durch die der externe Takt 12 vervielfacht wird, um so eine feinere Zeitbasis zu generieren. Beispielsweise kann eine PLL 30 aus dem externen Takt 12 einen schnelleren Takt 32 erzeugen, wie in Fig. 3 gezeigt ist, um einen Takt mit einer geteilten Taktperiode zu erzeugen. Das Zeitglied 26 verzögert dann nicht um ganze Vielfache der externen Taktperiode, sondern um ganze Vielfache der geteilten externen Taktperiode. Die Taktfrequenz des schnellen Takts 22 kann beispielsweise der achtfachen Taktfrequenz des externen Taktsignals 12 entsprechen, so dass durch diese interne Erzeugung eines mehrfachen der externen Taktfrequenz die Genauigkeit der Zeitsteuerung 20 deutlich erhöht werden kann, so daß der auftretende Fehler entsprechend verringert wird.

Ähnliches kann erreicht werden, wenn eine Verzögerungsregelschleife (DLL) bestehend aus vielen Einheitsverzögerungselementen bzw. Referenzverzögerungselementen vorgesehen wird. Mit Hilfe der DLL kann die Produktions- und Betriebsparameterbedingt streuende Verzögerung eines Einheitsverzögerungselements 40 (Fig. 4) mit der Taktperiode des externen Taktsignals verglichen werden. Wird nun das Verzögerungsglied des Zeitglieds 26 aus Kopien dieser Einheitsverzögerungselemente aufgebaut, kann das Zeitglied die Anzahl der Einheits-elemente 40 ermitteln, die aktiviert werden muß, um die gewünschte Verzögerung einzustellen, um den Sollzeitspezifikationen zu genügen.

Der bei einer solchen PLL durchgeführte Vergleich einer Reihe von Referenzverzögerungen mit der Taktperiode hat unter Kenntnis der Taktperiode eine sehr genaue Schrittgröße für die Zeitsteuerung 20 zur Folge. Wenn die tatsächliche Zeitsteuerung die gleichen Verzögerungselemente aufweist, kann die Anzahl von erforderlichen Elementen für eine gegebene Operation, d.h. beispielsweise eine gegebene Verzögerungszeit t_{RAS} , einfach berechnet werden. Somit können die Rundungsfehler auf einen Bruchteil von ns reduziert werden.

Im Rahmen der obigen Beschreibung wurde die Anwendung der vorliegenden Erfindung zur Ermittlung der Zeit t_{RAS} beschrieben, wobei t_{RAS} die Zeit vom Zeitpunkt der Aktivierung einer Zeile zu dem Zeitpunkt, zu dem diese Zeile vorgeladen werden kann, ist. Wenn ein schnelles Autovorladungs-Merkmal („Fast Autoprecharge“ oder „RAS lockout feature“) aktiviert ist, kann ein Read-AP-Befehl an den Speicherbaustein erteilt werden, bevor die Zeit t_{RAS} abgelaufen ist. In diesem Fall ist es Aufgabe des Speicherbausteins, die richtige Zeit zu finden, um die Zeile automatisch vorzuladen, wobei diese Zeit innerhalb der Spezifikation sein muß und ferner ermöglichen muß, daß die Zelleninformationen vollständig wiederhergestellt werden. Diese richtige Zeit kann erfindungsgemäß durch das Zeitglied 26 entsprechend der Spezifikation des Speicher-

bausteins (gespeichert in dem Sollwertspeicher 24) und dem Wissen der externen Taktfrequenz (abgelegt im Taktperiodendauerregister 20) ermittelt werden.

5 Zusammenfassend bestimmt bei der oben beschriebenen Implementierung die Steuerung 16 die Zahl (1 bis 31 bei der Tabelle von Fig. 2), die die Taktperiode (und damit auch Taktfrequenz) des verwendeten Taktsignals 12, mit dem der Speicherbaustein tatsächlich getrieben wird, darstellt. Diese Zahl
10 wird über den Befehls-Bus zu dem DRAM-Speicherbaustein 10 übermittelt, wo sie, wie oben ausgeführt, in dem Periodendauerregister, das ein Feld eines Modus-Registers sein kann, gespeichert wird. Nachfolgend ermittelt der Speicherbaustein aus der in dem Modus-Register abgelegten Zahl und jeweiligen
15 internen Zeiten, beispielsweise t_{RAS} , eine Anzahl von Taktperioden bzw. aus den Taktperioden ermittelten Teiltaktperioden bei Verwendung einer DLL oder PLL, um basierend darauf ein vorzugsweise digitales Verzögerungsglied zu steuern.

20 Das oben bezüglich der Zeit t_{RAS} beschriebene Prinzip kann für die Steuerung beliebiger Signale in dem Schaltungsbau- stein bzw. Speicherbaustein verwendet werden.

Beispielsweise kann das Prinzip verwendet werden, um t_{WR} ,
25 d.h. die Zeit, die verstreichen muß, bevor nach einem Schreiben eine Zeile geschlossen werden darf, zu ermitteln. Üblicherweise wird ein Lese- oder Schreib-Befehl mit „Autovorladen“ von einem DRAM-Baustein empfangen, wobei der Baustein ein internes Vorladen um die Zeit t_{WR} nach dem Lese/Schreib-
30 Befehl ausführt. Diese Zeit t_{WR} kann wiederum entsprechend den obigen Ausführungen durch die Ermittlung einer zugeordneten Anzahl von Taktperioden unter Kenntnis der im Taktfrequenzregister 20 abgelegten Periodendauer ermittelt werden.

35 Weiterhin kann die vorliegende Erfindung vorteilhaft beim Selbstauffrischen („selfrefresh“) verwendet werden. Beispielsweise muß ein DRAM jeweils innerhalb vorbestimmter In-

tervälle einen Autorefresh-Befehl ausführen, um eine Auffrischung durchzuführen. Im normalen Betrieb muss die Speichersteuerung bzw. der Speichercontroller diesen Autorefresh-Befehl extern dem Speicher bereitstellen. Ein typisches Intervall zum Durchführen eines solchen Auffrischens ist 7,8 μ s. Im Selbstauffrischungsmodus muß der DRAM-Speicher intern alle 7,8 μ s einen internen Autorefresh-Befehl erzeugen. Der Selbstauffrischungsmodus wird nach dem Empfang eines SRF-Befehls von der Steuerung aktiviert, wobei anschließend der externe Takt abgeschaltet werden kann. Bisher wurde ein entsprechender Autorefresh-Befehl unter Verwendung eines analogen Zeitgebers alle 7,8 μ s erzeugt. Erfindungsgemäß kalibriert der Speicherbaustein einen analogen Zeitgeber mit dem Wissen der Taktperiode, die in dem Taktperiodendauerregister abgelegt ist. Somit kann die jeweilige Zeit für den Autorefresh-Befehl, d.h. tREFRESH genauer ermittelt werden. Die Erfindung kann ferner verwendet werden, um die Zeitpunkte für ein gestaffeltes Auffrischen mehrerer unabhängiger Speicherbänke mit einem Autorefresh-Kommando zu steuern. So können Auffrisch-Stromspitzen reduziert werden und das interne Spannungsgeneratorsystem kann kleiner dimensioniert werden, was Ruhestrom und Chipfläche einspart.

Neben den oben beschriebenen Beispielen tRAS, tWR, tREFRESH und tRFC kann die vorliegende Erfindung verwendet werden, um beliebige interne Signale in einem Schaltungsbaustein und insbesondere in einem Speicherbaustein, zu steuern.

Neben dem oben beschriebenen Register zum Ablegen der Taktfrequenzinformationen bzw. Taktperiodeninformationen können die entsprechenden Informationen auch auf andere Weise auf dem Schaltungsbaustein zur Verfügung gestellt werden. Beispielsweise ist es möglich, die gewünschte Zeit (z.B. tRAS) im Herstellungsprozess mit Laserfuses oder eine andere nichtflüchtige Speichermethode zu programmieren. Dabei können bei der Herstellung in einem letzten Prozeßschritt bis dahin i-

dentisch hergestellte Speicherbausteine für verschiedene Geschwindigkeitsklassen eingestellt werden.

Weiterhin ist es möglich, ein weiteres Register bereitzustellen, in welches die Speichersteuerung die Geschwindigkeitsklasseninformationen schreibt. So können mit wenigen Registern mehrere bzw. alle Timer, d.h. Zeitglieder, eines Speicherbausteins verlangsamt oder beschleunigt werden, indem Verzögerungsglieder derselben basierend auf der gewählten Geschwindigkeitsklasseninformationen und dem tatsächlich verwendeten externen Takt gesteuert werden.

Auf bereits existierenden Speichermodulen (DIMMs) befindet sich ein EEPROM, in welchen verschiedene Zeitkonstanten, die für ein DRAM charakteristisch sind und die vom Hersteller garantiert werden, abgelegt sind. Dieser EEPROM wird vom Hersteller nach dem Endtest beschrieben. In heutigen Systemen hat jedoch der Speicherchip bzw. Speicherbaustein keine Kenntnis vom Inhalt dieses EEPROMs. Das oben genannte Register würde der Speichersteuerung die Möglichkeit bieten, die aus dem EEPROM gelesenen Werte, beispielsweise die Geschwindigkeitsklasse, dem Speicherchip mitzuteilen, indem sie in dieses Register geschrieben werden. Der Speicherchip kann dann mit diesen Informationen die internen Zeitglieder bzw. Timer adäquat einstellen.

Patentansprüche

1. Schaltungsbaustein (10) mit folgenden Merkmalen:

- 5 einem Eingang zum Empfangen eines externen Takts (12) mit einer Taktperiodendauer;

einer Einrichtung (22), um dem Schaltungsbaustein (10) Informationen, die die Taktperiodendauer des externen Takts darstellen, bereitzustellen; und

10

einer Einrichtung (26) zum zeitlichen Steuern zumindest eines Signals in dem Schaltungsbaustein (10) basierend auf den die Taktperiodendauer darstellenden Informationen.

15

2. Schaltungsbaustein nach Anspruch 1, bei dem die Einrichtung (24) zum zeitlichen Steuern des zumindest einen Signals basierend auf den die Taktperiodendauer darstellenden Informationen und von Sollzeitinformationen eine Anzahl von Taktzyklen oder Bruchteilen von Taktzyklen des externen Takts (12) ermittelt, um die ein Eingangssignal verzögert werden soll, um das zumindest eine Signal zeitlich zu steuern.
- 20

3. Schaltungsbaustein nach Anspruch 1 oder 2, bei dem die Einrichtung (22) zum Bereitstellen der die Taktperiodendauer des externen Takts (12) darstellenden Informationen einen Speicher zum Speichern von Daten umfaßt, die eine einer Taktfrequenz zugeordnete Taktperiode darstellen.
- 25

4. Schaltungsbaustein nach Anspruch 3, bei dem der Speicher ein Register mit einer gegebenen Anzahl von Datenbits umfaßt.
- 30

5. Schaltungsbaustein nach einem der Ansprüche 1 bis 4, bei dem die Einrichtung (26) zum zeitlichen Steuern des zumindest einen Signals eine Phasenregelschleife (30) aufweist, zum Erzeugen eines mehrfachen der externen Taktfrequenz in dem Schaltungsbaustein (10).
- 35

6. Schaltungsbaustein nach einem der Ansprüche 1 bis 4, bei dem die Einrichtung (26) zum zeitlichen Steuern des zumindest einen Signals eine Verzögerungsregelschleife (DLL) aufweist,
5 zum Einstellen einer Verzögerung basierend auf den bereitgestellten Taktfrequenzinformationen.

7. Schaltungsbaustein nach einem der Ansprüche 1 bis 6, wobei der Schaltungsbaustein (10) ein Speicherbaustein ist.

10

8. Schaltungsbaustein nach Anspruch 7, bei dem das Signal (32) ein Vorladungssignal und/oder ein Auffrischungssignal ist.

15

Zusammenfassung

Schaltungsbaustein mit Zeitsteuerung

- 5 Ein Schaltungsbaustein (10) umfaßt einen Eingang zum Empfangen eines externen Takts (12) mit einer Taktperiodendauer. Eine Einrichtung (22) ist vorgesehen, um Informationen, die die Taktperiodendauer des externen Takts darstellen, dem Schaltungsbaustein bereitzustellen. Ferner umfaßt der Schaltungsbaustein (10) eine Einrichtung (26) zum zeitlichen Steuern zumindest eines Signals (32) in dem Schaltungsbaustein (10) basierend auf den die Taktperiodendauer darstellenden Informationen.

15

20

Fig. 1

Figure zur Zusammenfassung

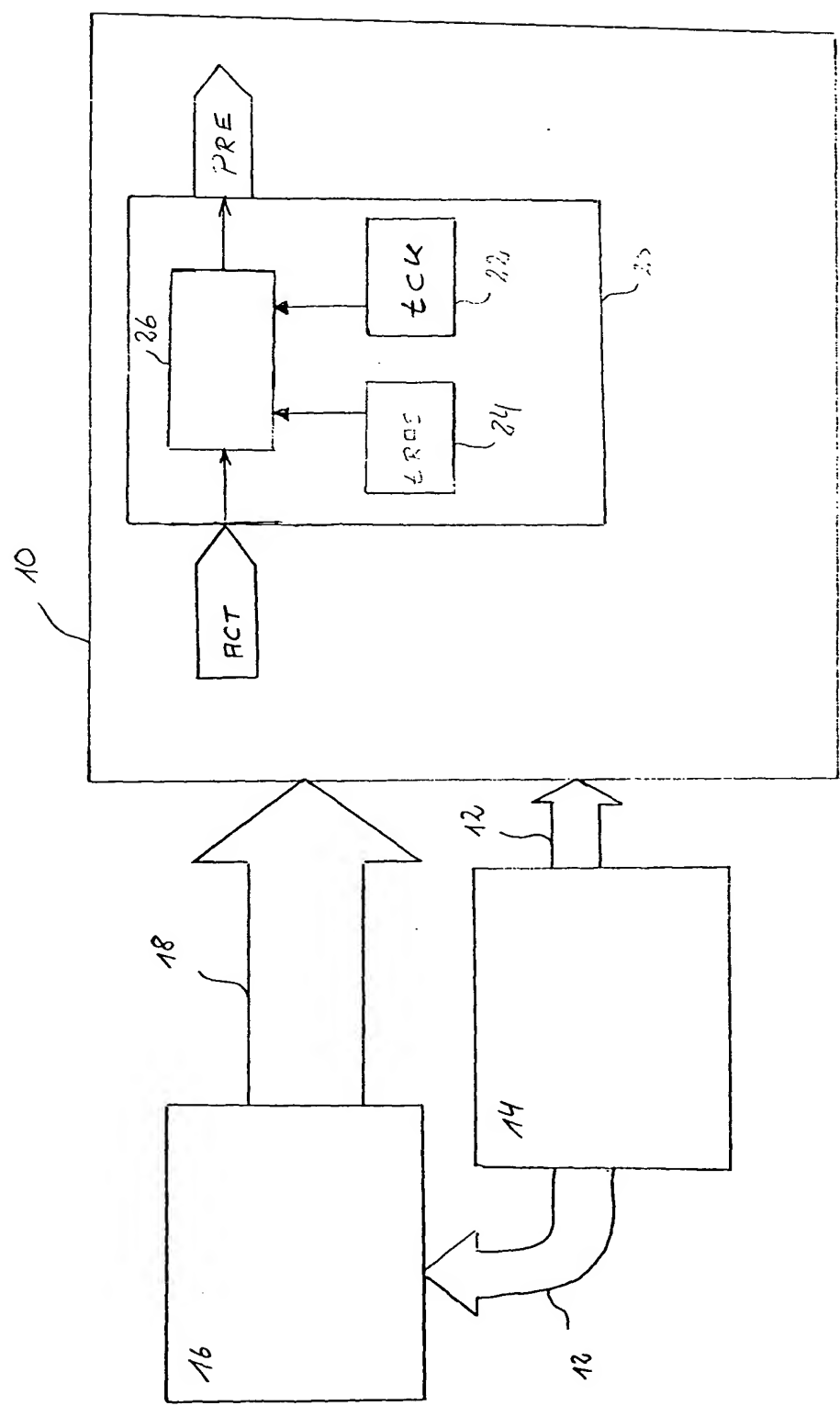
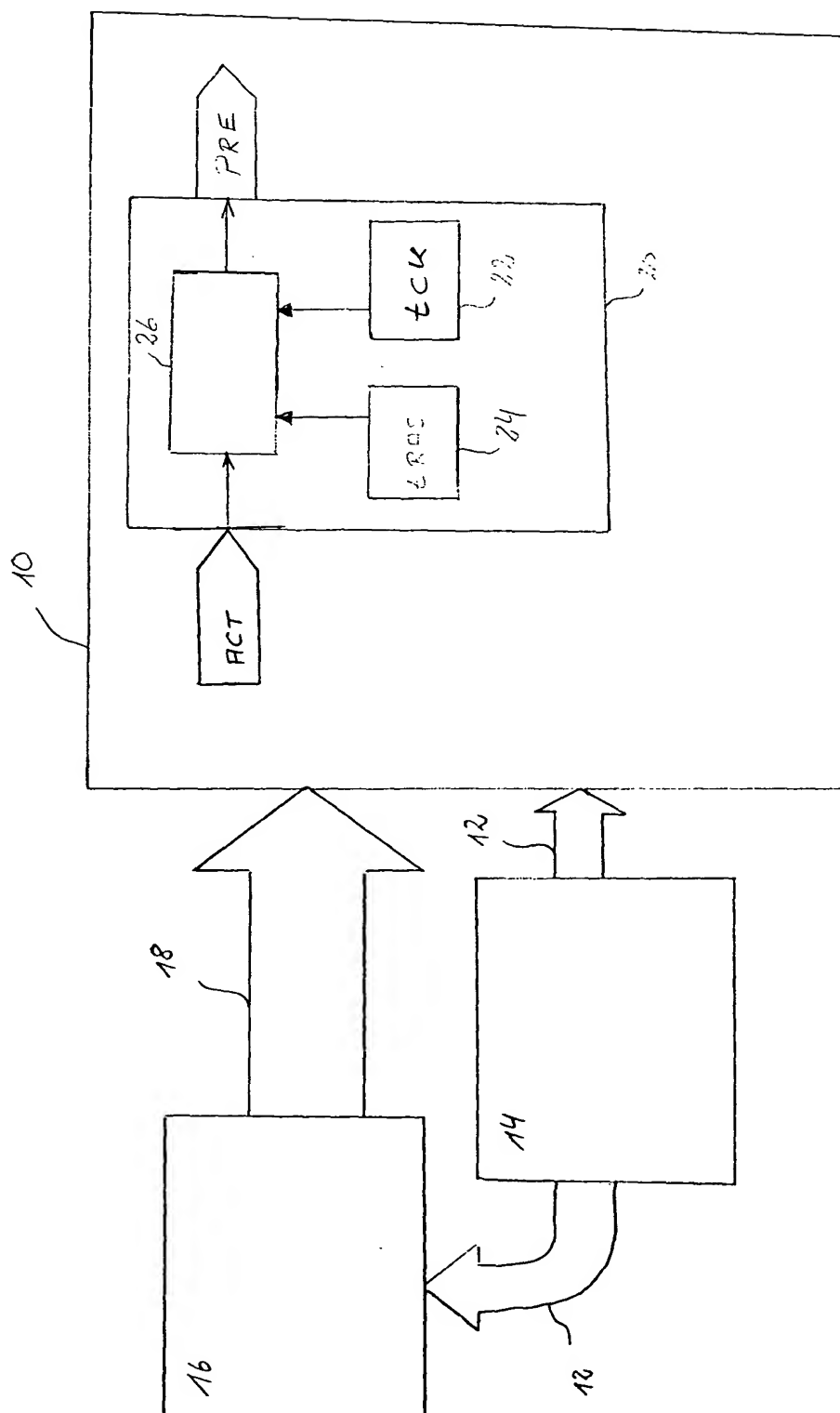


Fig. 1

Bezugszeichenliste

	10	Speicherbaustein
	12	Taktsignal
5	14	Taktgenerator
	16	Speichersteuerung
	18	Signalbus
	20	Zeitsteuerung
	22	Taktperiodendauerspeicher
10	24	Sollverzögerungszeitspeicher
	26	Zeitglied
	30	PLL
	32	schnelleres Taktsignal
	40	Referenzverzögerungselemente



1944

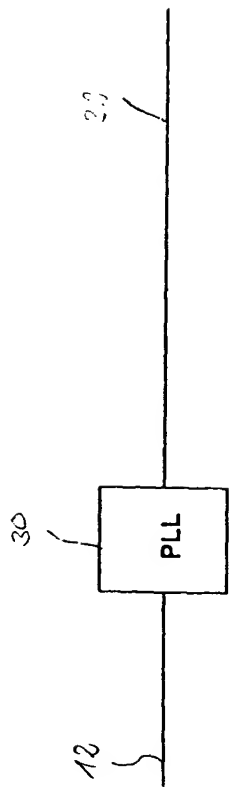


Fig. 2

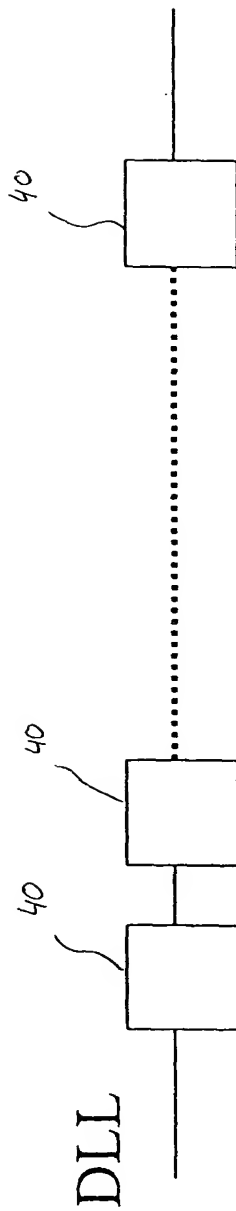


Fig. 4



Creation date: 09-03-2003
Indexing Officer: KTO - KIM THU TO
Team: OIPEScanning
Dossier: 10607518

Legal Date: 08-08-2003

No.	Doccode	Number of pages
1	LET.	1
2	OATH	3

Total number of pages: 4

Remarks:

Order of re-scan issued on